

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 3 月 31 日 (31.03.2005)

PCT

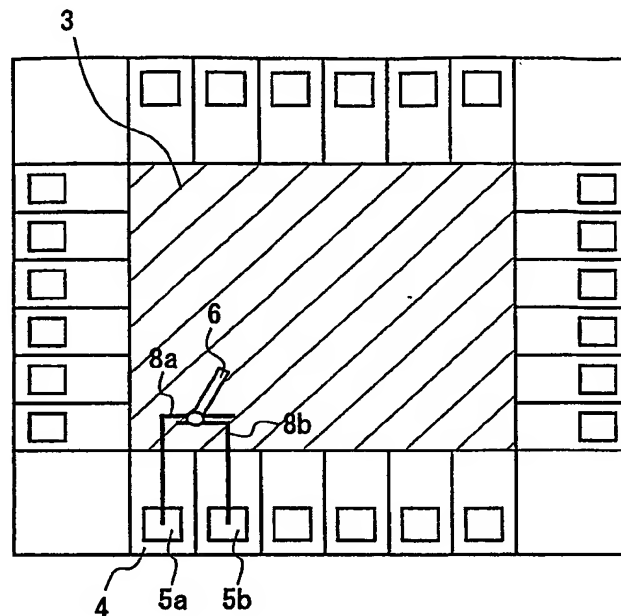
(10) 国際公開番号
WO 2005/029584 A1

- (51) 国際特許分類⁷: H01L 27/04, 21/82, 21/66 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/012904 (75) 発明者/出願人 (米国についてのみ): 曾川 康代 (SO-GAWA, Yasuyo). 西川 和彦 (NISHIKAWA, Kazuhiko). 廣藤 政則 (HIROFUJI, Masanori).
(22) 国際出願日: 2004 年 8 月 31 日 (31.08.2004) (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ新大阪ビル 13 階 早瀬特許事務所 Osaka (JP).
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(30) 優先権データ: 特願2003-330344 2003 年 9 月 22 日 (22.09.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: In a plurality of semiconductor integrated circuits existing on a semiconductor wafer, there are provided a function circuit (3); a plurality of pads (4); and wires (8) that are electrically connected to the pads (4) and that contact the bump of a probe card (7). At least two wires (8a,8b) do not contact each other but contact a bump (6) and areas other than the bump area at the same time, thereby implementing a wafer level burn-in. In this way, a wafer level burn-in can be implemented even in a case of reducing the chip area.

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 半導体ウエハ上に複数存在する半導体集積回路において、機能回路(3)と、複数のパッド(4)と、パッド(4)と電氣的に接続しプローブカード(7)の bumps と接触する配線(8)とを備え、少なくとも2つの配線(8a), (8b)が、互いに接触することなく、1つの bumps (6)と bumps 領域以外の領域で同時に接触することで、ウエハレベルバーンインを実施する。これにより、チップ面積を縮小化しても、ウエハレベルバーンインが実施できる。